

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-110721

(43)Date of publication of application : 12.04.2002

(51)Int.Cl.

H01L 21/56
H01L 25/065
H01L 25/07
H01L 25/18

(21)Application number : 2000-301952

(71)Applicant : HITACHI LTD
HITACHI HOKKAI SEMICONDUCTOR LTD

(22)Date of filing : 02.10.2000

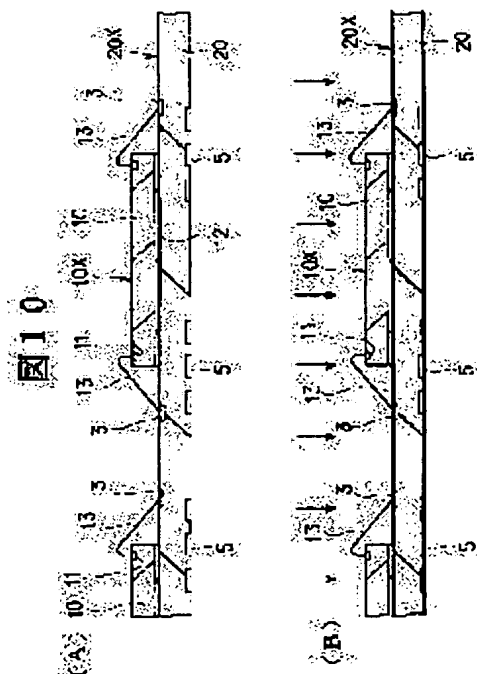
(72)Inventor : GOTO MASAKATSU
KASAI NORIHIKO

(54) METHOD FOR MANUFACTURING SEMICONDUCTOR DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To improve yield of semiconductor device.

SOLUTION: In a method for manufacturing a semiconductor device, on the principal surface of a substrate a plurality of semiconductor chips which are mounted at prescribed intervals from a first edge of the principal surface toward a second edge opposing the first edge are disposed inside a cavity, or a forming mold with the substrate. Then, a step is provided, where a resin is injected inside the cavity from the first edge toward the second edge of the principal surface on the substrate to form a resin encapsulant for encapsulating the plurality of the semiconductor chips in batch, and additionally a step is provided where a cleaning process is conducted on the principal surface of the substrate, before the step of forming the resin encapsulant.



LEGAL STATUS

[Date of request for examination] 16.03.2004

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 3621034

[Date of registration] 26.11.2004

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号
特開2002-110721
(P2002-110721A)

(43)公開日 平成14年4月12日(2002.4.12)

(51)Int.Cl. ⁷	識別記号	F I	テーマコード(参考)
H 0 1 L 21/56		H 0 1 L 21/56	T 5 F 0 6 1
25/065		25/08	B
25/07			
25/18			

審査請求 未請求 請求項の数28 O L (全 19 頁)

(21)出願番号 特願2000-301952(P2000-301952)

(22)出願日 平成12年10月2日(2000.10.2)

(71)出願人 000005108
株式会社日立製作所
東京都千代田区神田駿河台四丁目6番地
(71)出願人 000233594
日立北海セミコンダクタ株式会社
北海道亀田郡七飯町字中島145番地
(72)発明者 後藤 正克
北海道亀田郡七飯町字中島145番地 日立
北海セミコンダクタ株式会社内
(74)代理人 100083552
弁理士 秋田 収喜

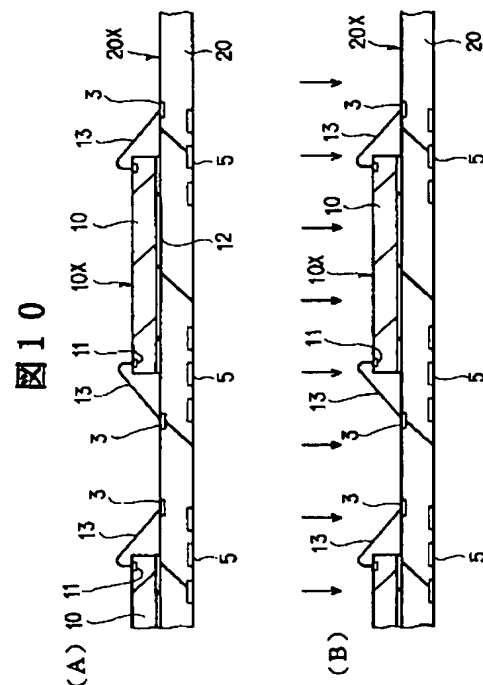
最終頁に続く

(54)【発明の名称】 半導体装置の製造方法

(57)【要約】

【課題】 半導体装置の歩留まりの向上を図る。

【解決手段】 半導体装置の製造方法において、基板の一主面上に前記一主面の第1辺側から前記第1辺と対向する第2辺側に向かって所定の間隔を置いて実装された複数の半導体チップを、前記基板と共に成形金型のキャビティの内部に配置し、その後、前記キャビティの内部に前記基板の一主面の第1辺側から第2辺側に向かって樹脂を注入して、前記複数の半導体チップを一括封止する樹脂封止体を形成する工程を備え、更に、前記樹脂封止体を形成する工程の前に、前記基板の一主面に清浄処理を施す工程を備える。



【特許請求の範囲】

【請求項 1】 基板の一主面上に前記一主面の第 1 辺側から前記第 1 辺と対向する第 2 辺側に向かって所定の間隔を置いて実装された複数の半導体チップを、前記基板と共に成形金型のキャビティの内部に配置し、その後、前記キャビティの内部に前記基板の一主面の第 1 辺側から第 2 辺側に向かって樹脂を注入して、前記複数の半導体チップを一括封止する樹脂封止体を形成する工程を備え、

更に、前記樹脂封止体を形成する工程の前に、前記基板の一主面に残留する不純物を除去する工程を備えたことを特徴とする半導体装置の製造方法。

【請求項 2】 請求項 1 に記載の半導体装置の製造方法において、前記基板の一主面に残留する不純物を除去する工程は、プラズマクリーニング法で行うことを特徴とする半導体装置の製造方法。

【請求項 3】 請求項 3 に記載の半導体装置の製造方法において、前記プラズマクリーニング法は、前記基板の一主面に残留する不純物を除去すると共に、前記基板の一主面を粗面化するものであることを特徴とする半導体装置の製造方法。

【請求項 4】 請求項 1 に記載の半導体装置の製造方法において、更に、前記樹脂封止体を形成する工程の前に、前記基板の一主面上に前記複数の半導体チップを実装する工程を備え、前記基板の一主面に残留する不純物を除去する工程は、前記複数の半導体チップを実装する工程の後であって、前記樹脂封止体を形成する工程の前に行うことを特徴とする半導体装置の製造方法。

【請求項 5】 請求項 4 に記載の半導体装置の製造方法において、前記複数の半導体チップを実装する工程は、前記配線基板の一主面に前記半導体チップを接着固定する工程と、前記半導体チップの一主面に形成された電極パッドと前記配線基板の一主面に形成された接続部とをボンディングワイヤで電気的に接続する工程とを含むことを特徴とする半導体装置の製造方法。

【請求項 6】 請求項 5 に記載の半導体装置の製造方法において、更に、前記半導体チップを接着固定する工程の後であって、前記ボンディングワイヤで電気的に接続する工程の前に、前記半導体チップの電極パッドの表面及び前記基板の接続部の表面に残留する不純物をプラズマクリーニング法で除去する工程を備えたことを特徴とする半導体装置の製造方法。

【請求項 7】 請求項 1 に記載の半導体装置の製造方法において、

前記基板は、樹脂基板であることを特徴とする半導体装置の製造方法。

【請求項 8】 請求項 1 に記載の半導体装置の製造方法において、前記基板は、その一主面に樹脂膜を有することを特徴とする半導体装置の製造方法。

【請求項 9】 請求項 1 に記載の半導体装置の製造方法において、前記半導体チップは、平面が方形状で形成され、前記半導体チップの互いに対向する 2 つの辺は、前記樹脂の注入方向に対して交差していることを特徴とする半導体装置の製造方法。

【請求項 10】 請求項 1 に記載の半導体装置の製造方法において、前記樹脂は、多数のフィラーが混入されていることを特徴とする半導体装置の製造方法。

【請求項 11】 請求項 1 に記載の半導体装置の製造方法において、前記樹脂は、多数のフィラーが混入されたエポキシ系の熱硬化性樹脂であることを特徴とする半導体装置の製造方法。

【請求項 12】 請求項 1 に記載の半導体装置の製造方法において、更に、前記樹脂封止体を形成する工程の後に、前記樹脂封止体及び前記基板を前記各半導体チップ毎に分割する工程を備えたことを特徴とする半導体装置の製造方法。

【請求項 13】 基板の一主面上に前記一主面の第 1 辺側から前記第 1 辺と対向する第 2 辺側に向かって所定の間隔を置いて実装された複数の半導体チップを前記基板と共に成形金型のキャビティの内部に配置し、その後、前記キャビティの内部に前記基板の一主面の第 1 辺側から第 2 辺側に向かって樹脂を注入して、前記複数の半導体チップを一括封止する樹脂封止体を形成する工程を備え、

更に、前記樹脂封止体を形成する工程の前に、前記基板の一主面に粗面化処理を施す工程を備えたことを特徴とする半導体装置の製造方法。

【請求項 14】 請求項 13 に記載の半導体装置の製造方法において、

前記粗面化処理は、プラズマクリーニング法で行うことを特徴とする半導体装置の製造方法。

【請求項 15】 請求項 14 に記載の半導体装置の製造方法において、前記プラズマクリーニング法は、前記基板の一主面に残留する不純物を除去すると共に、前記基板の一主面を粗面化するものであることを特徴とする半導体装置の製造方法。

【請求項 16】 請求項 13 に記載の半導体装置の製造方法において、

更に、前記樹脂封止体を形成する工程の前に、前記配線

基板の一主面上に前記複数の半導体チップを実装する工程を備え、
前記粗面化処理を施す工程は、前記複数の半導体チップを実装する工程の後であって、前記樹脂封止体を形成する工程の前に行うことを特徴とする半導体装置の製造方法。

【請求項 17】 請求項 16 に記載の半導体装置の製造方法において、

前記複数の半導体チップを実装する工程は、前記配線基板の一主面に前記半導体チップを接着固定する工程と、
前記半導体チップの一主面に形成された電極パッドと前記配線基板の一主面に形成された接続部とをボンディングワイヤで電氣的に接続する工程とを含むことを特徴とする半導体装置の製造方法。

【請求項 18】 請求項 17 に記載の半導体装置の製造方法において、

更に、前記半導体チップを接着固定する工程の後であって、前記ボンディングワイヤで電氣的に接続する工程の前に、前記半導体チップの電極パッドの表面及び前記基板の接続部の表面にプラズマクリーニング法で洗浄処理を施す工程を備えたことを特徴とする半導体装置の製造方法。

【請求項 19】 請求項 13 に記載の半導体装置の製造方法において、

前記基板は、樹脂基板であることを特徴とする半導体装置の製造方法。

【請求項 20】 請求項 13 に記載の半導体装置の製造方法において、

前記基板は、その一主面に樹脂層を有することを特徴とする半導体装置の製造方法。

【請求項 21】 請求項 13 に記載の半導体装置の製造方法において、

前記半導体チップは、平面が方形状で形成され、
前記半導体チップの互いに対向する 2 つの辺は、前記樹脂の注入方向に対して交差していることを特徴とする半導体装置の製造方法。

【請求項 22】 請求項 13 に記載の半導体装置の製造方法において、

前記樹脂は、多数のフィラーが混入されていることを特徴とする半導体装置の製造方法。

【請求項 23】 請求項 13 に記載の半導体装置の製造方法において、

前記樹脂は、多数のフィラーが混入されたエポキシ系の熱硬化性樹脂であることを特徴とする半導体装置の製造方法。

【請求項 24】 請求項 13 に記載の半導体装置の製造方法において、

更に、前記樹脂封止体を形成する工程の後に、前記樹脂封止体及び前記基板を前記各半導体チップ毎に分割する工程を備えたことを特徴とする半導体装置の製造方法。

【請求項 25】 基板の一主面上に前記一主面の第 1 辺側から前記第 1 辺と対向する第 2 辺側に向かって所定の間隔を置いて実装された複数の第 1 半導体チップと、前記各第 1 半導体チップ上に夫々積層された複数の第 2 半導体チップとを、前記基板と共に成形金型のキャビティの内部に配置し、その後、前記キャビティの内部に前記基板の一主面の第 1 辺側から第 2 辺側に向かって樹脂を注入して、前記複数の半導体チップを一括封止する樹脂封止体を形成する工程を備え、

10 更に、前記樹脂封止体を形成する工程の前に、前記基板の一主面に残留する不純物を除去する工程を備えたことを特徴とする半導体装置の製造方法。

【請求項 26】 請求項 25 に記載の半導体装置の製造方法において、

前記基板の一主面に残留する不純物を除去する工程はプラズマクリーニング法で行うことを特徴とする半導体装置の製造方法。

【請求項 27】 基板の一主面上に前記一主面の第 1 辺側から前記第 1 辺と対向する第 2 辺側に向かって所定の間隔を置いて実装された複数の第 1 半導体チップと、前記各第 1 半導体チップ上に夫々積層された複数の第 2 半導体チップとを、前記基板と共に成形金型のキャビティの内部に配置し、その後、前記キャビティの内部に前記基板の一主面の第 1 辺側から第 2 辺側に向かって樹脂を注入して、前記複数の半導体チップを一括封止する樹脂封止体を形成する工程を備え、

更に、前記樹脂封止体を形成する工程の前に、前記基板の一主面に粗面化処理を施す工程を備えたことを特徴とする半導体装置の製造方法。

30 【請求項 28】 請求項 27 に記載の半導体装置の製造方法において、

前記粗面化処理は、プラズマクリーニング法で行うことを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体装置の製造技術に関し、特に、トランスファ・モールド法による一括封止方式を採用する半導体装置の製造技術に適用して有効な技術に関するものである。

40 【0002】

【従来の技術】半導体装置の製造においては、基板の一主面上に実装された複数の半導体チップを 1 つの樹脂封止体で一括封止し、その後、各半導体チップ毎（各製品毎）に樹脂封止体及び基板を同時に分割して製造する方法が知られている。この製造については、例えば特開平 8-107161 号公報（公知文献 1）並びに特開 2000-12578 号公報（公知文献 2）に開示されている。また、公知文献 1 には一括封止する樹脂封止体をポッティング法によって形成する方法が開示され、公知文献 2 には一括封止する樹脂封止体をトランスファ・モー

ルド法によって形成する方法が開示されている。

【0003】

【発明が解決しようとする課題】本発明者等は、一括封止する樹脂封止体をトランスファ・モールド法によって形成する方法（以下、トランスファ・モールド一括封止方式と呼ぶ）について検討した結果、以下の問題点を見出した。

【0004】図23乃至図26は、従来の半導体装置の製造において、トランスファ・モールド一括封止方式で樹脂封止体を形成する時の樹脂の流れを示す図（（A）は模式的平面図、（B）は模式的断面図）である。図23乃至図26において、60は基板、60Xは基板60の一主面、61は半導体チップ、62は成形金型、62Aは成形金型62の上型、62Bは成形金型62の下型、63はキャビティ、64はゲート、65はランナー、66はエアイベント、67Aは樹脂、67Bはボイド、Sは樹脂の注入方向である。

【0005】トランスファ・モールド一括封止方式は、基板を有するパッケージ構造のBGA（Ball Grid Array）型半導体装置、CSP（Chip Size Package 又はChip Scale Package）型半導体装置等の製造に採用されている。この種の半導体装置の製造においては、図23に示すように、一主面60Xに複数の製品形成領域60Aが所定の間隔を置いて行列状に配置された基板60を用いるため、基板60に実装された複数の半導体チップ61も所定の間隔を置いて行列状に配置される。

【0006】トランスファ・モールド一括封止方式では、同図に示すように、キャビティ63、ゲート64、ランナー65、カル（図示せず）、ポット（図示せず）及びエアイベント66等を備えた成形金型62が用いられ、樹脂67Aはポットからカル、ランナー65及びゲート64を通してキャビティ63の内部に注入される。

【0007】基板60としては、通常、平面が長方形状のものが用いられるため、これに対応してキャビティ63の平面形状も長方形状となる。この場合、キャビティ63の内部の全域にわたって樹脂67Aが均一に充填されるように、キャビティ63の互いに対向する2つの長辺のうちの一方の長辺側にこの一方の長辺に沿って複数のゲート64が設けられるため、樹脂67Aは、キャビティ63の内部に基板60の一方の長辺側から他方の長辺側に向かって注入される。

【0008】このようにしてキャビティ63の内部に注入された樹脂67Aは、図23乃至図25に示すように基板60の一方の長辺側から他方の長辺側に向かって流れ、図26に示すようにキャビティ63の内部に充填される。

【0009】ところで、キャビティ63の内部に注入された樹脂67Aは、半導体チップ61の一主面及び側面に沿って流れる。半導体チップ61の一主面及び側面に

沿って流れる樹脂67Aは半導体チップ61間に流れ込むが、半導体チップ61の一主面に沿って流れる樹脂67Aは半導体チップ61によって流れを妨げられるため、半導体チップ61の側面に沿って流れる樹脂67Aよりも流速が遅い。このため、半導体チップ61の一主面に沿って流れる樹脂67Aと半導体チップ61の側面に沿って流れる樹脂67Aとが交わる所（図25参照）でボイド67Bが発生する。このボイド67Bは、樹脂注入過程において樹脂67Aの流れによって移動しながら徐々に小さくなるが、樹脂61Aの注入方向Sに対して半導体チップ61によって影となる所（図26参照）にボイド67Cが残存してしまう。トランスファ・モールド法では、樹脂の充填が終了した後、注入時の圧力よりも高い圧力を加えて樹脂中に巻き込まれたボイドを小さくする工程が施されるが、この工程が施されてもボイド67Cは、温度サイクル試験時においてポップコーン現象を起こさない程度のボイドよりもかなり大きいため、半導体装置の歩留まりを低下させる要因となる。

【0010】前述の公知文献1（特開平8-107161号公報）には、未充填部の発生を防ぐ手段として、チクソ性の低いモールド材を使うこと、及び前記の場合において、さらに真空脱泡を併用することが開示されている。しかし、トランスファ・モールド法においては、前記手段を適用する事によって、ボイド発生の問題を解決することはできない。

【0011】トランスファ・モールド法を採用する場合には、樹脂の流れはゲートからの注入によってコントロールされるものである。それゆえに、ゲートと対向する位置、樹脂が最後に充填される領域にエアイベントを設けることによって、樹脂がキャビティ中に充填されるまでの間、キャビティ中の空気をエアイベントから排除することができるものである。

【0012】しかし、トランスファ・モールド法においては、樹脂の流れがチクソ性によって支配される程度までチクソ性を低減し、または樹脂の注入速度を低くすると、樹脂の流れの制御が困難となり、樹脂が最後に充填される領域に設けるべきであるエアイベントの位置を設定することが実質的に不可能となる。

【0013】従って、トランスファ・モールド法においては、樹脂にチクソ性の低い物を採用することによって、樹脂の注入過程の状態を制御し、ボイドの巻き込みを無くすことは事実上不可能である。

【0014】また、封止樹脂の硬化収縮による反りを低減し、ダイシング工程を容易にすることを目的とし、または樹脂の熱膨張係数を半導体チップと近い物にし、熱サイクル時に半導体チップにかかる応力を低減することを目的として、大量のフィラー（例えば80%以上）を封止樹脂に添加した場合には、モールド材としてチクソ性の低い物を採用した場合でも、フィラーの存在によってチクソ性は高くなってしまうため、ボイドの巻き込みを

10

20

30

40

50

解決する程度の低いチクソ性を得ることはできない。

【0015】また、ポッティング法においては、ポッティング後、樹脂硬化の前の状態の半導体装置を、気圧の低い雰囲気中に置くことにより、気泡を樹脂外に排除する真空脱泡という手段を採用することが可能であるが、トランスファ・モールド法においては、樹脂の注入及び硬化はキャビティ内で行なわれるため、真空脱泡法によってボイドを低減させる方法は採用することができない。

【0016】このようなことから、トランスファ・モールド法においては、公知文献 1 に記載されている技術を適用することによってボイドの発生を防ぐことはできないため、ボイド対策として新たな方法を採用する必要がある。

【0017】そこで、本発明者等は、図 26 に示すように、ボイド 67B が基板 60 の一主面に接触して残存していることから、基板 60 の一主面に対する樹脂 67A の濡れ性に着眼し、本発明を成した。

【0018】本発明の目的は、半導体装置の歩留まりの向上を図ることが可能な技術を提供することにある。本発明の前記ならびにその他の目的と新規な特徴は、本明細書の記述及び添付図面によって明らかになるであろう。

【0019】

【課題を解決するための手段】本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、下記のとおりである。

(1) 基板の一主面上に前記一主面の第 1 辺側から前記第 1 辺と対向する第 2 辺側に向かって所定の間隔を置いて実装された複数の半導体チップを、前記基板と共に成形金型のキャビティの内部に配置し、その後、前記キャビティの内部に前記基板の一主面の第 1 辺側から第 2 辺側に向かって樹脂を注入して、前記複数の半導体チップを一括封止する樹脂封止体を形成する工程を備え、更に、前記樹脂封止体を形成する工程の前に、前記基板の一主面に残留する不純物を除去する工程を備えたことを特徴とする半導体装置の製造方法である。前記基板の一主面に残留する不純物を除去する工程は、プラズマクリーニング法で行う。

【0020】(2) 基板の一主面上に前記一主面の第 1 辺側から前記第 1 辺と対向する第 2 辺側に向かって所定の間隔を置いて実装された複数の半導体チップを前記基板と共に成形金型のキャビティの内部に配置し、その後、前記キャビティの内部に前記基板の一主面の第 1 辺側から第 2 辺側に向かって樹脂を注入して、前記複数の半導体チップを一括封止する樹脂封止体を形成する工程を備え、更に、前記樹脂封止体を形成する工程の前に、前記基板の一主面に粗面化処理を施す工程を備えたことを特徴とする半導体装置の製造方法である。前記粗面化処理は、プラズマクリーニング法で行う。

【0021】

【発明の実施の形態】以下、図面を参照して本発明の実施の形態を詳細に説明する。なお、発明の実施の形態を説明するための全図において、同一機能を有するものは同一符号を付け、その繰り返しの説明は省略する。

【0022】(実施形態 1) 本実施形態では、BGA 型の半導体装置に本発明を適用した例について説明する。図 1 は本発明の実施形態 1 である半導体装置の概略構成を示す図 ((A) は樹脂封止体を除去した状態の模式的平面図, (B) は (A) の a-a 線に沿う模式的断面図) であり、図 2 は図 1 (B) の一部を拡大した模式的断面図である。

【0023】図 1 及び図 2 に示すように、本実施形態の半導体装置 1A は、主に、基板 (配線基板) 2、半導体チップ 10、複数のボンディングワイヤ 13、樹脂封止体 14 及び複数の突起状電極 15 等を有する構成となっている。半導体チップ 10 及び複数のボンディングワイヤ 13 は、樹脂封止体 14 によって封止されている。

【0024】半導体チップ 10 は、基板 2 の互いに対向する一主面 (チップ搭載面) 2X 及び他の主面 (裏面) 2Y のうちの一主面 2X に接着層 12 を介在して接着固定されている。半導体チップ 10 の平面形状は方形で形成され、本実施形態においては例えば正方形で形成されている。半導体チップ 10 は、例えば、単結晶シリコンからなる半導体基板と、この半導体基板の回路形成面上において絶縁層、配線層の夫々を複数段積み重ねた多層配線層と、この多層配線層を覆うようにして形成された表面保護膜とを有する構成となっている。表面保護膜としては例えばポリイミド樹脂が用いられている。

【0025】半導体チップ 10 には、集積回路として例えば制御回路が内蔵されている。この制御回路は、主に、半導体基板の回路形成面に形成されたトランジスタ素子及び配線層に形成された配線によって構成されている。

【0026】半導体チップ 10 の互いに対向する一主面 (回路形成面) 10X 及び他の主面 (裏面) のうちの一主面 10X には、半導体チップ 10 の外周囲の各辺に沿って複数の電極パッド (ボンディングパッド) 11 が形成されている。この複数の電極パッド 11 の夫々は、半導体チップ 10 の多層配線層のうちの最上層の配線層に形成され、制御回路を構成するトランジスタ素子と電気的に接続されている。複数の電極パッド 11 の夫々は、例えば、アルミニウム (Al) 膜又はアルミニウム合金膜等の金属膜で形成されている。

【0027】基板 2 は、詳細に図示していないが、絶縁層、導電層の夫々を順次積み重ねた多層配線構造となっている。各絶縁層は例えばガラス繊維にエポキシ系の樹脂を含浸させたガラスエポキシ基板で形成され、各配線層は例えば銅 (Cu) からなる金属膜で形成されている。

基板 2 の平面形状は方形で形成され、本実施形態

においては例えば正方形で形成されている。

【0028】基板2の一主面2Xには、その最上層の導電層に形成された配線の一部分からなる複数の接続部(ランド)3が配置されている。また、基板2の一主面2Xには、その最上層の導電層に形成された配線を保護する樹脂膜4が形成されている。この樹脂膜4には、接続部3の表面を露出する開口が形成されている。

【0029】基板2の裏面2Yには、その最下層の導電層に形成された配線の一部分からなる複数の電極パッド(ランド)5が配置されている。また、基板2の裏面2Yには、その最下層の導電層に形成された配線を保護する樹脂膜6が形成されている。この樹脂膜6には、電極パッド5の表面を露出する開口が形成されている。樹脂膜4及び6は、例えばエポキシ系の樹脂又はポリイミド系の樹脂で形成されている。

【0030】複数の突起状電極15は、基板2の裏面2Yに配置された複数の電極パッド5に夫々固着され、電気的にかつ機械的に接続されている。突起状電極15は、例えばPb-Sn組成の半田材からなるボール状バンプで形成されている。

【0031】樹脂封止体14の平面形状は方形で形成され、本実施形態においては例えば正方形で形成されている。樹脂封止体14は、低応力化を図る目的として、例えば、フェノール系硬化剤、シリコーンゴム及び多数のフィラー(例えばシリカ)等が添加されたエポキシ系の熱硬化性絶縁樹脂で形成されている。

【0032】半導体チップ10の一主面10Xに配置された複数の電極パッド11は、ボンディングワイヤ11を介して基板2の一主面2Xに配置された複数の接続部3に夫々電気的に接続されている。ボンディングワイヤ13としては、例えば金(Au)ワイヤを用いている。ボンディングワイヤ13の接続方法としては、例えば、熱圧着に超音波振動を併用したボールボンディング(ネイルヘッドボンディング)法を用いている。

【0033】樹脂封止体14及び基板2の外形サイズはほぼ同一となっており、樹脂封止体14及び基板2の側面は面一となっている。本実施形態の半導体装置1Aの製造においては、後で詳細に説明するが、基板の一主面に所定の間隔を置いて実装された複数の半導体チップ10を樹脂封止体で一括封止し、その後、各半導体チップ10毎(各製品形成領域毎)に樹脂封止体及び基板を同時に分割して製造する方法が採用されている。

【0034】図3は本実施形態の半導体装置1Aの製造に用いられる基板の模式的平面図であり、図4は図3の一部を拡大した模式的平面図であり、図5は図4のb-b線に沿う模式的断面図である。

【0035】図3乃至図5に示すように、基板(配線基板)20の平面形状は方形で形成され、本実施形態においては例えば長方形で形成されている。基板20の一主面(チップ搭載面)20Xには、複数の製品形成領域

22が所定の間隔を置いて行列状に配置されている。各製品形成領域22にはチップ搭載領域22が配置され、その周囲に複数の接続部3が配置されている。各製品形成領域22は、樹脂封止体が形成されるモールド領域21の中に配置されている。各製品形成領域22の構成は、基板2と同様の構成となっている。即ち、基板20の一主面20Xにはその全面にわたって樹脂膜(4)が形成され、一主面20Xと対向する他の主面(裏面)にはその全面にわたって樹脂膜(6)が形成されている。なお、各製品形成領域22は、基板20を分割するための分離領域を介して互いに離れた状態で配置されている。

【0036】図6は本実施形態の半導体装置1Aの製造に用いられる成形金型の上型の概略構成を示す模式的平面図であり、図7は前記成形金型の下型の概略構成を示す模式的平面図であり、図8は前記成形金型の概略構成を示す模式的断面図である。

【0037】図6乃至図8に示すように、成形金型30は、キャビティ31、複数のゲート32、複数のサブランナー33、複数のメインランナー34、複数のカル35、連結ランナー36、複数のエアレント37、複数のポット38及び基板搭載領域39等を備えている。31~37の各構成部は上型30Aに設けられ、38~39の各構成部は下型に設けられている。キャビティ37及び基板搭載領域39の平面形状は基板20の平面形状に対応する平面形状で形成され、本実施形態においては例えば長方形で形成されている。キャビティ31は上型30Aの合わせ面から深さ方向に窪んでいる。基板搭載領域39は下型30Bの合わせ面から深さ方向に窪んでいる。

【0038】成形金型30において、樹脂は、ポット38からカル35、メインランナー34、サブランナー33及びゲート32を通してキャビティ31の内部に注入される。複数のゲート32は、キャビティ31の内部の全域にわたって樹脂が均一に充填されるように、キャビティ31の互いに対応する2つの長辺のうち一方の長辺に沿って配置されている。従って、樹脂はキャビティ31の内部に、キャビティ31の一方の長辺側から他方の長辺側に向かって注入される。複数のエアレント37は、ゲート32が配置されたキャビティ31の一方の長辺を除いた3辺に沿って配置されている。

【0039】次に、本実施形態の半導体装置1Aの製造について、図9乃至図16を用いて説明する。図9、図10、図11及び図16は半導体装置の製造を説明するための模式的断面図であり、図12乃至図15はトランスファ・モールド一括方式で樹脂封止体を形成する時の樹脂の流れを示す図((A)は模式的平面図、(B)は模式的断面図)である。

【0040】まず、図3に示す基板20を準備する。次に、基板20の一主面20Xの各製品形成領域のチップ

10

20

30

40

50

搭載領域に例えばエポキシ系の熱硬化性樹脂からなる接着層 12 を形成し、その後、各チップ搭載領域に接着層 12 を介在して半導体チップ 10 を搭載し、その後、熱処理を施して接着層 12 を硬化させて、図 9 (A) に示すように、各チップ搭載領域に半導体チップ 10 を接着固定する。この工程において、基板 20 は例えば 150℃ 程度に加熱されるため、半導体チップ 10 の電極パッド 11 の表面及び基板 20 の接続部 3 の表面に自然酸化膜が形成される。また、樹脂膜 4 に含まれていた油脂分及び有機溶媒などの不純物がアウトガスとなって放出され、基板 20 の一主面 2X、接続部 3 の表面及び電極パッド 11 の表面等が汚染される。

【0041】次に、図 9 (B) に示すように、半導体チップ 10 の電極パッド 11 の表面及び基板 20 の接続部 3 の表面に清浄処理を施して、これらの表面に残留する自然酸化膜や油脂分及び有機溶媒等の不純物を除去する。この清浄処理は、例えば酸素又はアルゴンガスを用いたプラズマクリーニング法で行う。

【0042】次に、図 10 (A) に示すように、半導体チップ 10 の電極パッド 11 と基板 20 の接続部 3 とをボンディングワイヤ 13 で電気的に接続する。この工程において、半導体チップ 10 の電極パッド 11 の表面及び基板 20 の接続部 3 の表面に残留する自然酸化膜や油脂分及び有機溶媒等の不純物が前段の清浄工程にて除去されているので、ワイヤボンディング工程の接続信頼性が向上する。また、この工程において、基板 20 は例えば 125℃ 程度に加熱されるため、樹脂膜 4 に含まれていた油脂分及び有機溶媒等の不純物がアウトガスとなって放出され、基板 20 の一主面 20X 等が汚染される。また、この工程において、基板 20 の一主面 20X に複

数の半導体チップ 10 が実装される。

【0043】次に、図 10 (B) に示すように、基板 20 の一主面 20 に清浄処理を施して、基板 20 の一主面 20X に残留している油脂分及び有機等の不純物を除去する。この清浄処理は、酸素又はアルゴンガスを用いたプラズマクリーニング法で行う。プラズマクリーニング法は、油脂分等の不純物を除去できると共に、基板 20 の一主面 20X の表面を粗面化することができる。

【0044】次に、図 11 に示すように、成形金型 30 の上型 30A と下型 30B との間に基板 20 を位置決めし、基板 20 の一主面 20X 上に実装された複数の半導体チップ 10 を基板 20 と共に成形金型 20 のキャビティ 31 の内部に配置する。この時、基板 20 は下型 30B に設けられた基板搭載領域 39 に搭載される。

【0045】次に、ポット 38 から、カル 35、メインランナー 34、サブランナー 33 及びゲート 32 を通してキャビティ 31 の内部に例えばエポキシ系の熱硬化性樹脂を注入して、基板 20 の一主面 20X に実装された複数の半導体チップ 10 を一括封止する樹脂封止体 24 を形成する。

【0046】この工程において、図 12 に示すように、キャビティ 31 の内部の全域にわたって樹脂 24A が均一に充填されるように、キャビティ 31 の互いに対向する 2 つの長辺のうちの一方の長辺に沿って複数のゲート 32 が設けられているため、樹脂 24A は、キャビティ 31 の内部に基板 20 の一方の長辺側から他方の長辺側に向かって注入される。この時、半導体チップ 10 は、互いに対向する 2 つの辺が樹脂 24A の注入方向 S に対してほぼ直角に交差する配置となっている。

【0047】キャビティ 31 の内部に注入された樹脂 24A は、図 12 乃至図 14 に示すように基板 20 の一方の長辺側から他方の長辺側に向かって流れ、図 15 に示すようにキャビティ 31 の内部に充填される。

【0048】キャビティ 31 の内部に注入された樹脂 24A は、半導体チップ 10 の一主面 10X 及び側面に沿って流れる。半導体チップ 10 の一主面 10X 及び側面に沿って流れる樹脂 24A は半導体チップ 10 間に流れ込むが、半導体チップ 10 の一主面 10X に沿って流れる樹脂 24A は半導体チップ 10 の側面に沿って流れる樹脂 24A よりも流速が遅いため、半導体チップ 10 の一主面 10X に沿って流れる樹脂 24A と半導体チップ 10 の側面に沿って流れる樹脂 24A とが交わる所（図 14 参照）でボイド 24B が発生する。一方、基板 20 の一主面 20 に残留する油脂分等の不純物は前述の清浄工程において除去されており、更に基板 20 の一主面 20X は粗面化されているため、基板 20 の一主面 20X に対して樹脂 24A の濡れ性が向上している。このため、樹脂 24A の注入方向 S に対して半導体チップ 10 によって影となる所に半導体チップ 10 の側面に沿って流れる樹脂 24A が廻り込み易くなる。従って、半導体チップ 10 の一主面 10X に沿って流れる樹脂 24A と半導体チップ 10 の側面に沿って流れる樹脂 24A とが交わる所（図 14 参照）で発生したボイド 24B は基板 20 の一主面 2X から離間される。このように基板 20 の一主面 2X から離間したボイド 24B は、樹脂注入過程において樹脂 24A の流れによって移動し易くなるため、図 15 に示すように、半導体チップ 10 によって影となる所にはボイド 24B は残存しない。基板 20 の一主面 20X から離間したボイド 24B は樹脂 24 の流れによって移動しながら徐々に小さくなり、温度サイクル試験時においてポップコーン現象を起こさない程度まで小さくなる。

【0049】即ち、樹脂封止体 24 を形成する工程の前に、基板 20 の一主面 20X に清浄処理を施して、基板 20 の一主面 20X に残留する油脂分等の不純物を除去することにより、基板 20 の一主面 20X に対する樹脂 24A の濡れ性が向上し、半導体チップ 10 の側面に沿って流れる樹脂 24A が樹脂 24A の注入方向 S に対して半導体チップ 10 によって影となる所に廻り込み易くなるため、半導体チップ 10 の一主面 10X に沿って流

れる樹脂 24A と半導体チップ 10 の側面に沿って流れる樹脂 24A とが交わる個所に発生したボイド 24B は基板 20 の一主面 20X から排除される。

【0050】また、洗浄処理をプラズマクリーニング法で行うことにより、基板 20 の一主面 20X に残留する油脂分等の不純物を除去することができると共に、基板 20 の一主面 20X の表面が粗面化されるので、基板 20 の一主面 20X に対する樹脂 24A の濡れ性が更に向上する。樹脂 24A の濡れ性は、流動する面に残留する油脂分等の不純物を除去することによって高くなり、また、流動する面を粗くすることによって高くなる。但し、当然ではあるが、粗面化による樹脂の濡れ性の向上には限度がある。

【0051】次に、図 16 (A) に示すように、基板 20 の裏面に配置された電極パッド 5 の表面上に突起状電極 15 を例えばボール供給法で形成し、その後、一括封止した樹脂封止体 24 がダイシングシート 25 と向かい合う状態でダイシングシート 25 に基板 20 を接着固定し、その後、図 16 (B) に示すように、ダイシング装置で樹脂封止体 24 及び基板 20 を各半導体チップ 10 毎 (各製品形成領域毎) に同時に分割する。この工程により、図 1 乃至図 3 に示す半導体装置 1A がほぼ完成する。このように、本実施形態によれば、以下の効果が得られる。

【0052】半導体装置 1A の製造方法において、基板 20 の一主面 20X 上に一主面 20 の一方の長辺側からこの一方の長辺と対向する他方の長辺側に向かって所定の間隔を置いて実装された複数の半導体チップ 10 を、基板 20 と共に成形金型 30 のキャビティ 31 の内部に配置し、その後、キャビティ 31 の内部に基板 20 の一主面 20X の一方の長辺側から他方の長辺側に向かって樹脂 24A を注入して、複数の半導体チップ 10 を一括封止する樹脂封止体 24 を形成する工程を備え、更に、樹脂封止体 24 を形成する工程の前に、基板 20 の一主面 20X に残留する不純物をプラズマクリーニング法にて除去する工程を備える。

【0053】これにより、基板 20 の一主面 20X に残留していた油脂分及び有機溶媒等の不純物を除去し、基板 20 の一主面 20X に樹脂 24A との濡れ性が高い材料をより多く露出させ、または基板 20 の一主面 20X に微細な凹凸を有する状態にすることによって、樹脂 24A と基板 20 の一主面 20X との濡れ性を高くし、樹脂 24A の注入に伴う流れによって、樹脂 24A 中のボイドの排除をより促進することができる。この結果、半導体装置 1A の歩留まりの向上を図ることができる。

【0054】なお、本実施形態では、一主面 20X に樹脂膜 4 を有する基板 20 を用いた例について説明したが、樹脂基板であれば一主面 20X に樹脂膜 4 を有さなくとも、製造工程における熱処理によって樹脂基板に含まれていた油脂分及び有機溶媒等の不純物がアウトガス

となって放出する。

【0055】また、本実施形態では、基板 20 としてガラエポ基板を用いた例について説明したが、本発明は基板 20 として BT 樹脂からなる基板を用いた場合においても有効である。

【0056】また、基板 20 として樹脂テープを用いた場合、樹脂封止体の硬化収縮によって反りが激しくなるので、フィラーの添加量を増加しなければならない。このような場合、樹脂の流動性が低下するため、ボイドが発生し易くなる。

【0057】(実施形態 2) 図 17 は本発明の実施形態 2 である半導体装置の模式的断面図である。図 17 に示すように、本実施形態の半導体装置 1B は、基本的に前述の実施形態 1 と同様の構成となっており、以下の構成が異なっている。

【0058】即ち、基板 2 の一主面 2X に接着層 12 を介在して半導体チップ 10 が接着固定され、半導体チップ 10 の一主面 10 に接着層 42 を介在して半導体チップ 40 が接着固定されている。半導体チップ 42 は半導体チップ 10 よりも小さい平面サイズで形成されている。半導体チップ 42 の一主面に配置された電極パッド 41 は、基板 20 の一主面 20X に形成された接続部 3 にボンディングワイヤ 43 を介して電気的に接続されている。半導体チップ 10 及び 42 は樹脂封止体 14 によって封止されている。

【0059】以下、半導体装置 1B の製造について、図 18 及び図 19 を用いて説明する。図 18 及び図 19 は半導体装置の製造を説明するための模式的断面図である。

【0060】まず、基板 20 を準備し、その後、基板 20 の一主面 20X の各製品形成領域のチップ搭載領域に例えばエポキシ系の熱硬化性樹脂からなる接着層 12 を形成し、その後、チップ搭載領域に接着層 12 を介在して半導体チップ 10 を搭載し、その後、熱処理を施して接着層 12 を硬化させて、チップ搭載領域に半導体チップ 10 を接着固定する。この工程において、基板 20 は例えば 180℃ 程度に加熱されるため、半導体チップ 10 の電極パッド 11 の表面及び基板 20 の接続部 3 の表面に自然酸化膜が形成される。また、樹脂膜 4 に含まれていた油脂分及び有機溶媒などの不純物がアウトガスとなって放出され、基板 20 の一主面、接続部 3 の表面及び電極パッド 11 の表面等が汚染される。

【0061】次に、各半導体チップ 10 の一主面 10X に例えばエポキシ系の熱硬化性樹脂からなる接着層 42 を形成し、その後、半導体チップ 10 の一主面 10X に接着層 42 を介在して半導体チップ 40 を搭載し、その後、熱処理を施して接着層 42 を硬化させて、図 18

(A) に示すように、半導体チップ 10 に半導体チップ 42 を接着固定する。この工程において、基板 20 は例えば 180℃ 程度に加熱されるため、半導体チップ 10 の電極パッド 11 の表面及び基板 20 の接続部 3 の表面

10

20

30

40

50

に自然酸化膜が形成される。また、樹脂膜 4 に含まれていた油脂分などの不純物がアウトガスとなって放出され、基板 20 の一主面、接続部 3 の表面及び電極パッド 11 の表面等が汚染される。

【0062】次に、図 18 (B) に示すように、酸素又はアルゴンガスを用いたプラズマクリーニング法にて、半導体チップ 10 及び 42 の電極パッド (11, 41) の表面及び基板 20 の接続部 3 の表面に残留している不純物を除去する。

【0063】次に、図 19 (A) に示すように、半導体チップ 10 の電極パッド 11 と基板 20 の接続部 3 とをボンディングワイヤ 13 で電氣的に接続すると共に、半導体チップ 40 の電極パッド 41 と基板 20 の接続部 3 とをボンディングワイヤ 13 で電氣的に接続する。この工程において、基板 20 は例えば 125℃程度に加熱されるため、樹脂膜 4 に含まれていた油脂分などの不純物がアウトガスとなって放出され、基板 20 の一主面等が汚染される。

【0064】次に、図 19 (B) に示すように、酸素又はアルゴンガスを用いたプラズマクリーニング法にて、基板 20 の一主面 20X に残留している不純物を除去する。この工程において、プラズマクリーニング法は、基板 20 の一主面 20X を粗面化することができるので、不純物の除去及び基板 20 の一主面 20X の粗面化を行うことができる。

【0065】次に、前述の実施形態と同様に、成形金型 30 の上型 30A と下型 30B との間に基板 20 を位置決めし、基板 20 の一主面 20X 上に実装された複数の半導体チップ 10 と、各半導体チップ 10 に夫々積層された複数の半導体チップ 40 とを、基板 20 と共に成形金型 20 のキャビティ 31 の内部に配置し、その後、ポット 38 から、カル 35、メインランナー 34、サブランナー 33 及びゲート 32 を通してキャビティ 31 の内部に樹脂を注入して、基板 20 の一主面 20X に実装された複数の半導体チップ 10 及び 40 を一括封止する樹脂封止体を形成する。

【0066】この後、前述の実施形態 1 と同様の工程を施すことにより、図 17 に示す半導体装置 1B が形成される。本実施形態の半導体装置 1B の製造において、基板 20 の一主面 20X 上に 2 つの半導体チップ (10, 40) が積層されているので、樹脂 24A の注入方向 S に対して半導体チップ 10 及び 40 によって影となる部分にボイドが発生し易いが、樹脂封止体を形成する工程の前に、基板 20 の一主面 20X にプラズマクリーニング法で清浄処理を施すことにより、前述の実施形態 1 と同様の効果が得られる。

【0067】(実施形態 3) 図 20 は本発明の実施形態 3 である半導体装置の模式的断面図である。図 20 に示すように、本実施形態の半導体装置 1C は、基本的に前述の実施形態 2 と同様の構成となっており、以下の構成

が異なっている。

【0068】即ち、基板 20 の一主面 2X に突起状電極 53 を介在して半導体チップ 50 が実装され、半導体チップ 50 の一主面と対向する他の主面 (裏面) に接着層 12 を介在して半導体チップ 10 が接着固定されている。半導体チップ 50 はその一主面に配置された電極パッド 50 は、基板 20 の一主面 2X に配置された電極パッド 3A に突起状電極 53 を介在して電氣的に接続されている。半導体チップ 50 と基板 20 との間には、例えばエポキシ系の熱硬化性樹脂 52 が充填されている。半導体チップ 10 の電極パッド 11 は、ボンディングワイヤ 13 を介して基板 20 の接続部 3 に電氣的に接続されている。半導体チップ 50 及び 10 は樹脂封止体 2 によって封止されている。

【0069】以下、半導体装置 1C の製造について、図 21 及び図 22 を用いて説明する。図 21 及び図 22 は半導体装置の製造を説明するための模式的断面図である。

【0070】まず、基板 20 を準備し、その後、基板 20 の一主面 20X の各製品形成領域のチップ搭載領域に配置された電極パッド 3A と半導体チップ 50 の一主面に配置された電極パッド 51 との間に突起状電極 53 を介在した状態で突起状電極 53 を溶融して、基板 20 の一主面の各製品形成領域に半導体チップ 51 を実装する。この工程において、基板 20 は例えば 205℃程度に加熱されるため、基板 20 の接続部 3 の表面に自然酸化膜が形成される。また、樹脂膜 4 に含まれていた油脂分及び有機溶媒などの不純物がアウトガスとなって放出され、基板 20 の一主面、接続部 3 の表面等が汚染される。

【0071】次に、半導体チップ 50 と基板 20 との間に例えばエポキシ系の熱硬化性樹脂 52 を充填し、その後、熱処理を施して熱硬化性樹脂 52 を硬化させる。この工程において、基板 20 は例えば 150℃程度に加熱されるため、基板 20 の接続部 3 の表面に自然酸化膜が形成される。また、樹脂膜 4 に含まれていた油脂分及び有機溶媒などの不純物がアウトガスとなって放出され、基板 20 の一主面、接続部 3 の表面等が汚染される。

【0072】次に、各半導体チップ 50 の裏面に例えばエポキシ系の熱硬化性樹脂からなる接着層 42 を形成し、その後、半導体チップ 50 の裏面に接着層 10 を介在して半導体チップ 10 を搭載し、その後、熱処理を施して接着層 10 を硬化させて、図 21 (A) に示すように、半導体チップ 10 に半導体チップ 42 を接着固定する。この工程において、基板 20 は例えば 180℃程度に加熱されるため、半導体チップ 10 の電極パッド 11 の表面及び基板 20 の接続部 3 の表面に自然酸化膜が形成される。また、樹脂膜 4 に含まれていた油脂分などの不純物がアウトガスとなって放出され、基板 20 の一主面、接続部 3 の表面及び電極パッド 11 の表面等が汚染される。

【0073】次に、図21(B)に示すように、酸素又はアルゴンガスを用いたプラズマクリーニング法にて、半導体チップ10の電極パッド11の表面及び基板20の接続部3の表面に残留している不純物を除去する。

【0074】次に、図22(A)に示すように、半導体チップ10の電極パッド11と基板20の接続部3とをボンディングワイヤ13で電氣的に接続する。この工程において、基板20は例えば125℃程度に加熱されるため、樹脂膜4に含まれていた油脂分などの不純物がアウトガスとなって放出され、基板20の一主面等が汚染される。

【0075】次に、図22(B)に示すように、酸素又はアルゴンガスを用いたプラズマクリーニング法にて、基板20の一主面20Xに残留している不純物を除去する。この工程において、プラズマクリーニング法は、基板20の一主面20Xを粗面化することができるので、不純物の除去及び基板20の一主面20Xの粗面化を行うことができる。

【0076】次に、前述の実施形態と同様に、成形金型30の上型30Aと下型30Bとの間に基板20を位置決めし、基板20の一主面20X上に実装された複数の半導体チップ50と、各半導体チップ50に夫々積層された複数の半導体チップ10とを、基板20と共に成形金型20のキャビティ31の内部に配置し、その後、ポット38から、カル35、メインランナー34、サブランナー33及びゲート32を通してキャビティ31の内部に樹脂を注入して、基板20の一主面20Xに実装された複数の半導体チップ50及び10を一括封止する樹脂封止体を形成する。

【0077】この後、前述の実施形態1と同様の工程を施すことにより、図20に示す半導体装置1Cが形成される。本実施形態の半導体装置1Cの製造において、基板20の一主面20X上に2つの半導体チップ(50, 10)が積層されているので、樹脂24Aの注入方向Sに対して半導体チップ50及び10によって影となる部分にボイドが発生し易いが、樹脂封止体を形成する工程の前に、基板20の一主面20Xにプラズマクリーニング法で洗浄処理を施すことにより、前述の実施形態1と同様の効果が得られる。

【0078】以上、本発明者によってなされた発明を、前記実施形態に基づき具体的に説明したが、本発明は、前記実施形態に限定されるものではなく、その要旨を逸脱しない範囲において種々変更可能であることは勿論である。例えば、本発明は、CSP構造の半導体装置の製造技術に適用することができる。また、本発明は、基板上に複数の半導体チップを実装したMCM構造の半導体装置の製造技術に適用することができる。

【0079】

【発明の効果】本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば、下

記のとおりである。本発明によれば、半導体装置の歩留まりの向上を図ることができる。

【図面の簡単な説明】

【図1】本発明の実施形態1である半導体装置の概略構成を示す図((A)は樹脂封止体を除去した状態の模式的平面図、(B)は(A)のa-a線に沿う模式的断面図)である。

【図2】図1(B)の一部を拡大した模式的断面図である。

【図3】実施形態1である半導体装置の製造に用いられる基板(分割用基板)の模式的平面図である。

【図4】図3の一部を拡大した模式的断面図である。

【図5】図4のb-b線に沿う模式的断面図である。

【図6】実施形態1である半導体装置の製造に用いられる成形金型の上型の概略構成を示す模式的平面図である。

【図7】実施形態1である半導体装置の製造に用いられる成形金型の下型の概略構成を示す模式的平面図である。

【図8】実施形態1である半導体装置の製造に用いられる成形金型の概略構成を示す模式的断面図である。

【図9】(A)、(B)は実施形態1である半導体装置の製造を説明するための模式的断面図である。

【図10】(A)、(B)は実施形態1である半導体装置の製造を説明するための模式的断面図である。

【図11】実施形態1である半導体装置の製造を説明するための模式的断面図である。

【図12】実施形態1である半導体装置の製造において、樹脂封止工程を説明するための図((A)は模式的平面図、(B)は模式的断面図)である。

【図13】実施形態1である半導体装置の製造において、樹脂封止工程を説明するための図((A)は模式的平面図、(B)は模式的断面図)である。

【図14】実施形態1である半導体装置の製造において、樹脂封止工程を説明するための図((A)は模式的平面図、(B)は模式的断面図)である。

【図15】実施形態1である半導体装置の製造において、樹脂封止工程を説明するための図((A)は模式的平面図、(B)は模式的断面図)である。

【図16】(A)、(B)は実施形態1である半導体装置の製造を説明するための模式的断面図である。

【図17】本発明の実施形態2である半導体装置の概略構成を示す模式的断面図である。

【図18】(A)、(B)は実施形態2である半導体装置の製造を説明するための模式的断面図である。

【図19】(A)、(B)は実施形態2である半導体装置の製造を説明するための模式的断面図である。

【図20】本発明の実施形態3である半導体装置の概略構成を示す模式的断面図である。

【図21】(A)、(B)は実施形態3である半導体装

置の製造を説明するための模式的断面図である。

【図 2 2】実施形態 3 である半導体装置の製造を説明するための模式的断面図である。

【図 2 3】従来の半導体装置の製造において、樹脂封止工程を説明するための図（（A）は模式的平面図、（B）は模式的断面図）である。

【図 2 4】従来の半導体装置の製造において、樹脂封止工程を説明するための図（（A）は模式的平面図、（B）は模式的断面図）である。

【図 2 5】従来の半導体装置の製造において、樹脂封止工程を説明するための図（（A）は模式的平面図、（B）は模式的断面図）である。

【図 2 6】従来の半導体装置の製造において、樹脂封止*

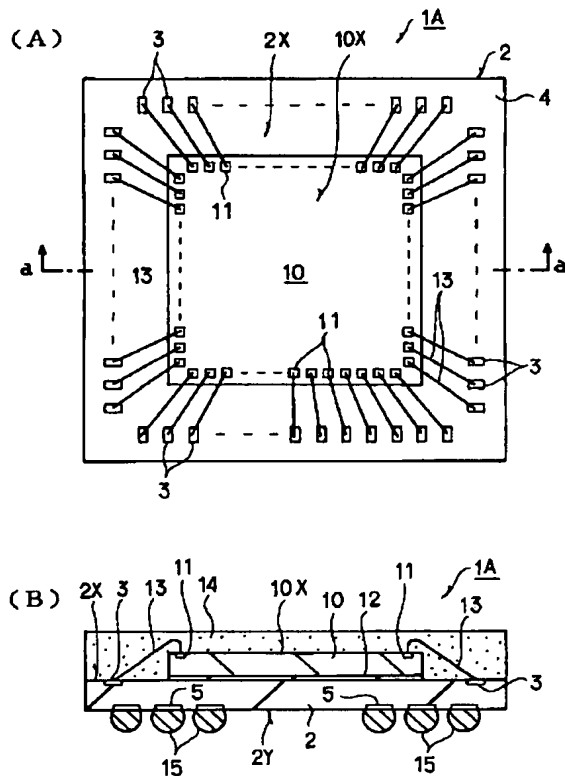
* 工程を説明するための図（（A）は模式的平面図、（B）は模式的断面図）である。

【符号の説明】

1 A, 1 B, 1 C…半導体装置、2, 2 0…基板、3…接続部、4, 6…樹脂層、5…電極パッド、1 0…半導体チップ、1 1…電極パッド、1 2…接着層、1 3…ボンディングワイヤ、1 4…樹脂封止体、2 1…樹脂封止体形成領域、2 2…製品形成領域、2 3…チップ搭載領域、3 0…成形金型、3 2…キャビティ、3 3…ゲート、3 3…サブランナー、3 4…メインランナー、3 5…カル、3 6…連結ランナー、3 7…エアーベント、3 8…ポット、3 9…基板搭載領域。

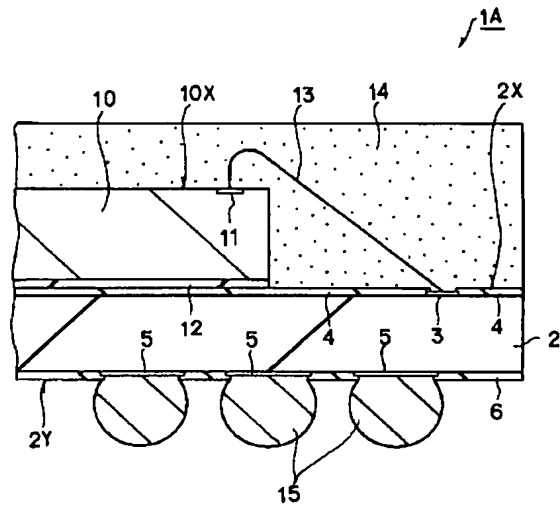
【図 1】

図 1



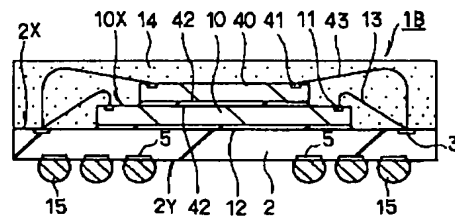
【図 2】

図 2



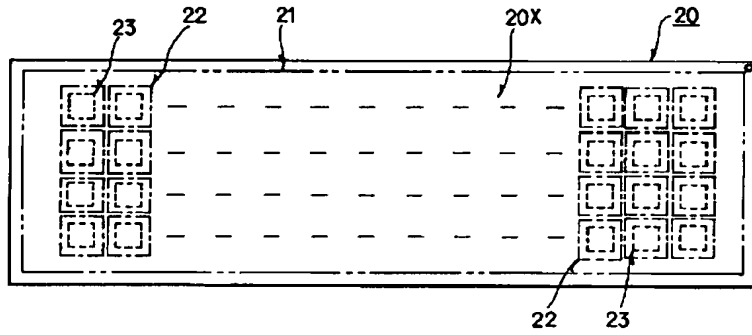
【図 1 7】

図 1 7



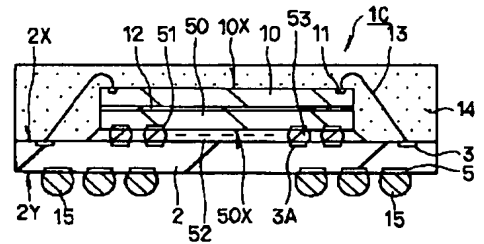
【図 3】

図 3



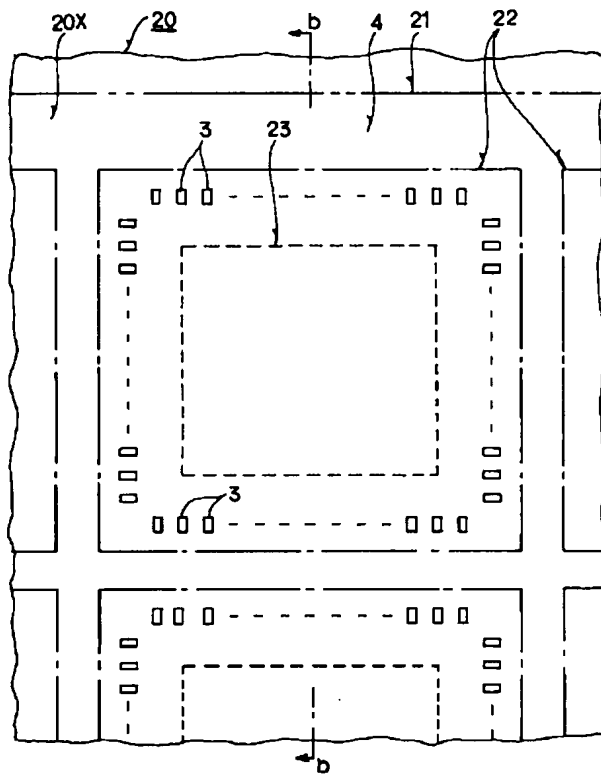
【図 20】

図 20



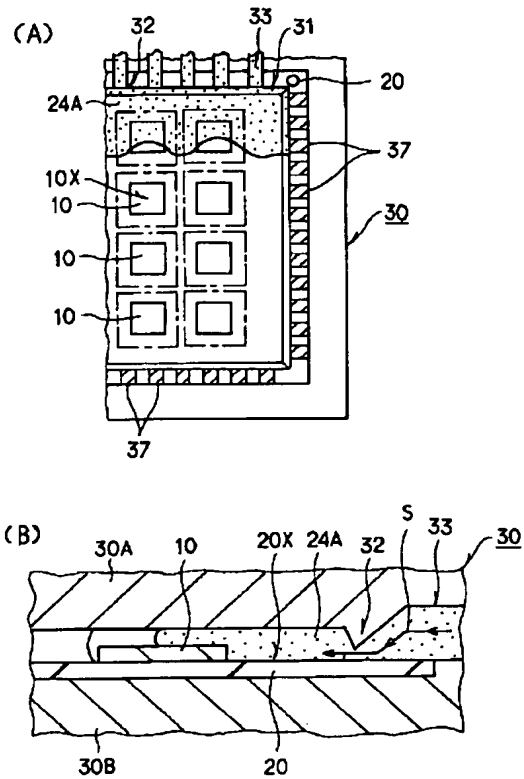
【図 4】

図 4



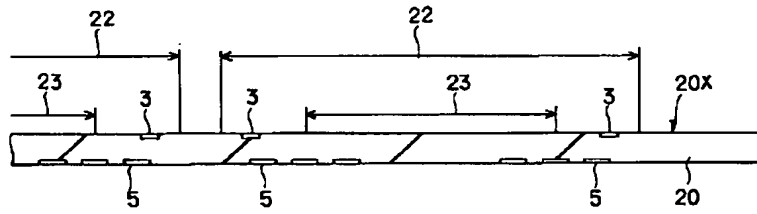
【図 12】

図 12



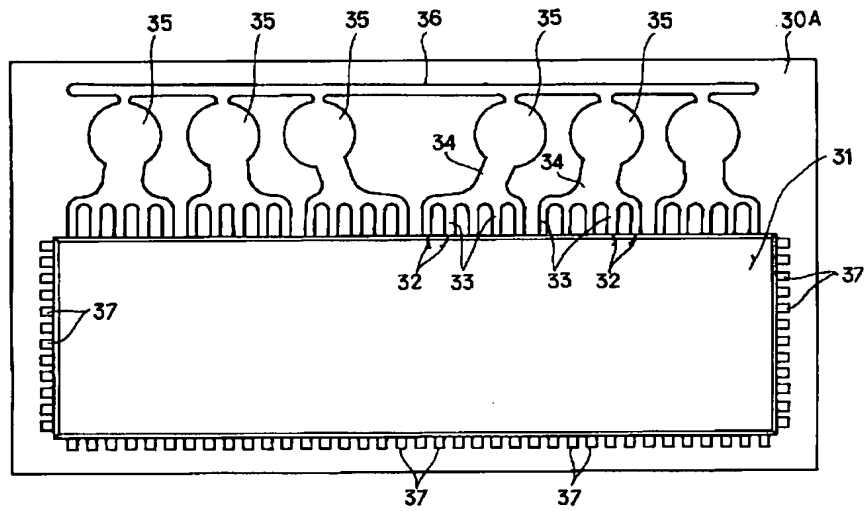
【図 5】

図 5



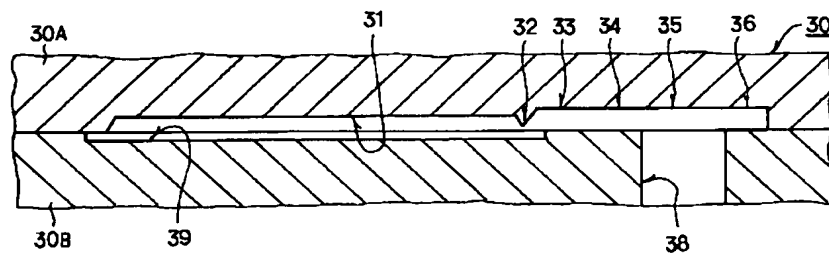
【図 6】

図 6



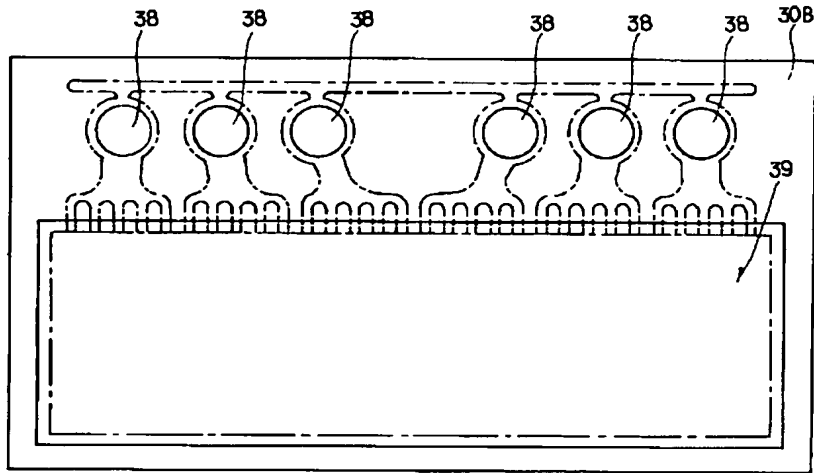
【図 8】

図 8



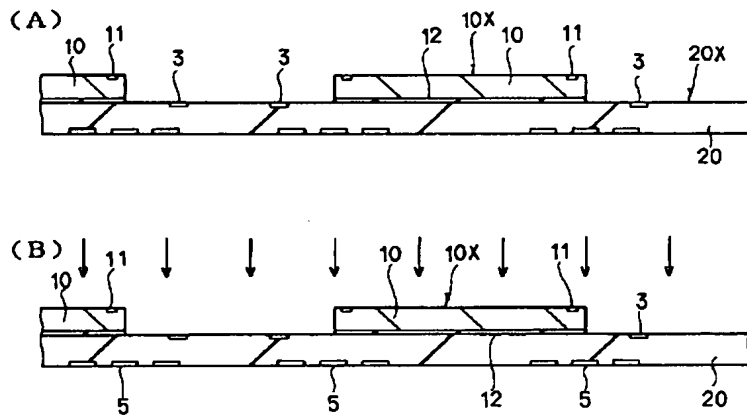
【図 7】

図 7



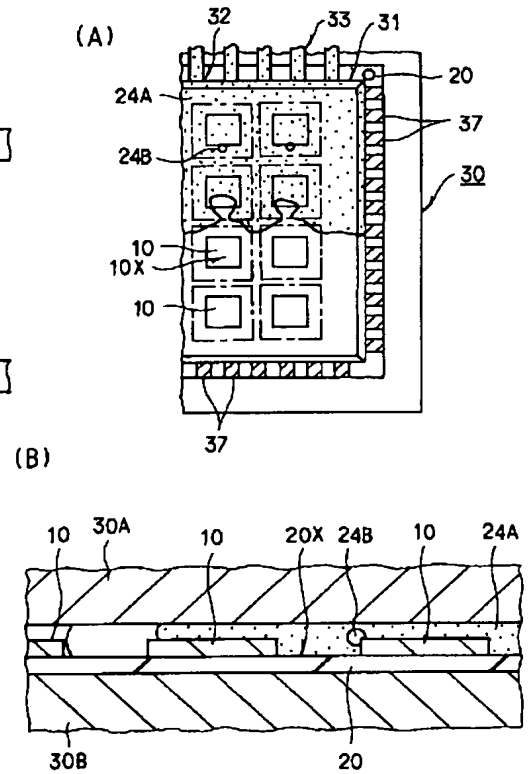
【図 9】

図 9



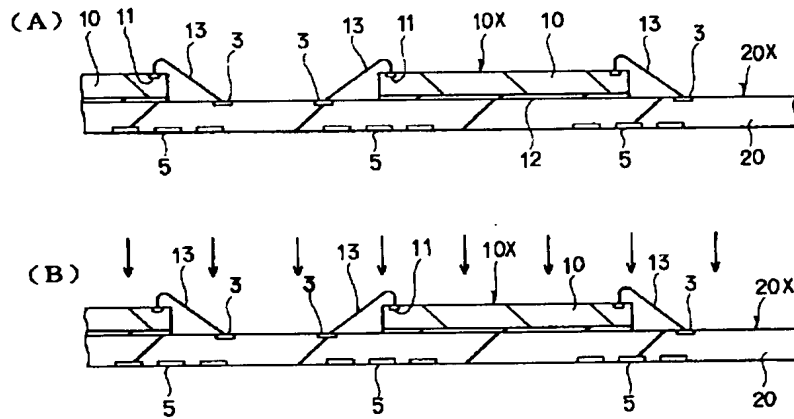
【図 14】

図 14



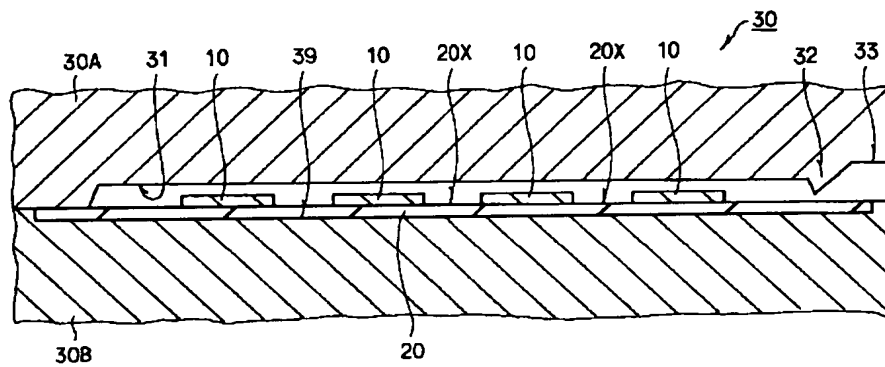
【図 10】

図 10



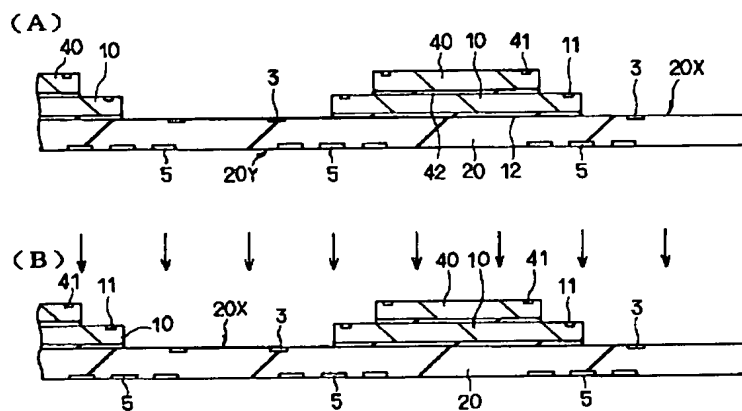
【図 11】

図 11



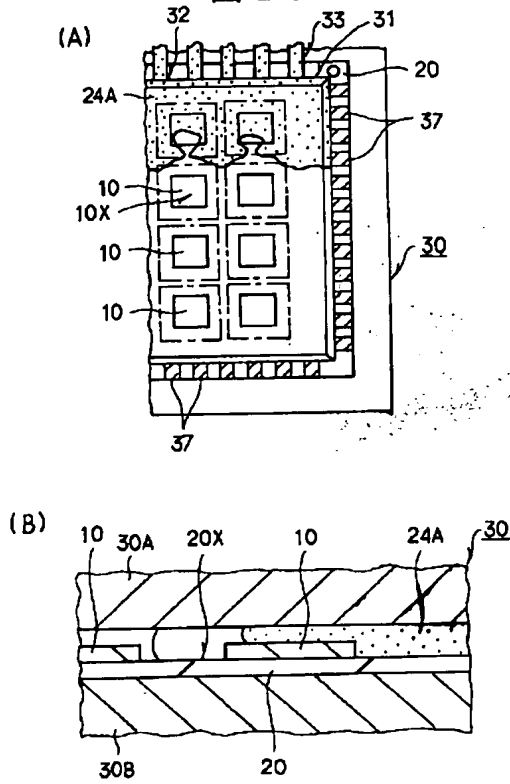
【図 18】

図 18



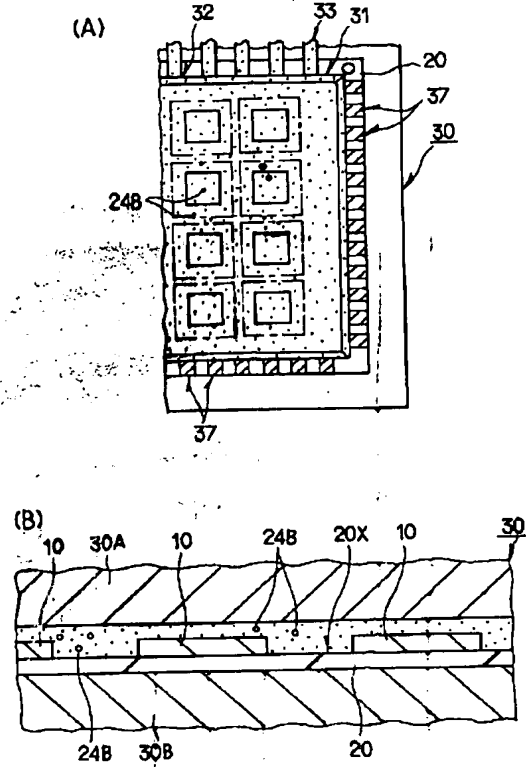
【図 13】

図 13



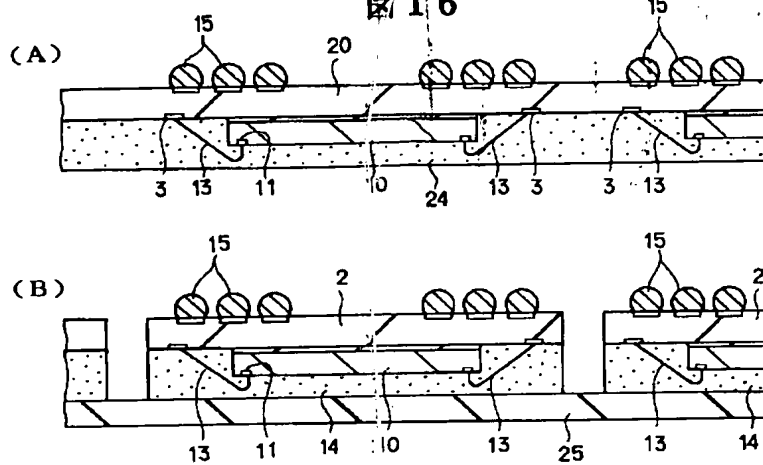
【図 15】

図 15



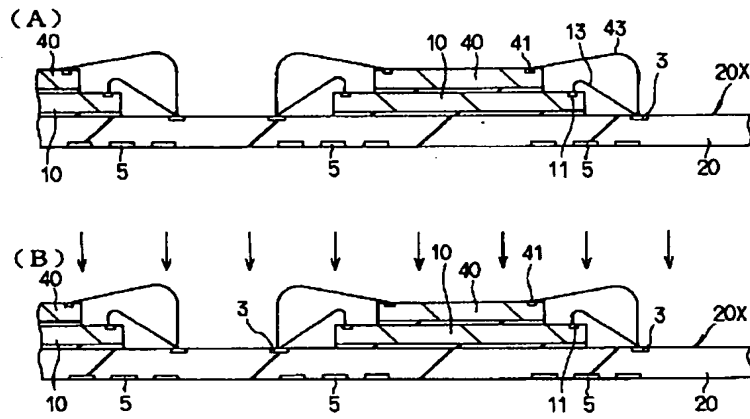
【図 13】

図 16



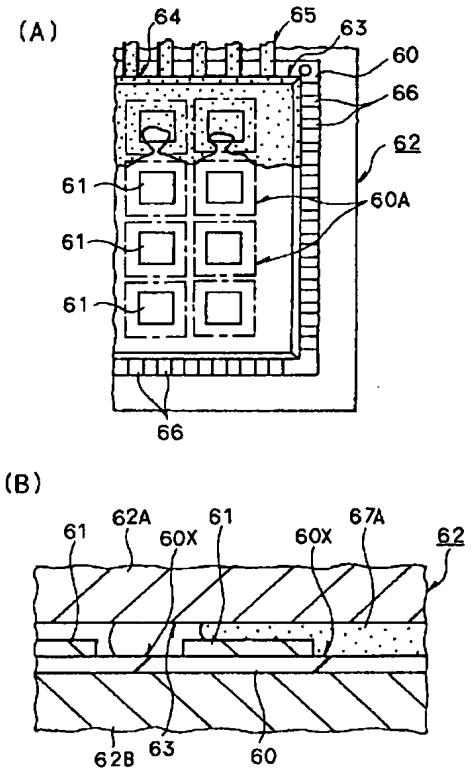
【図 19】

図 19



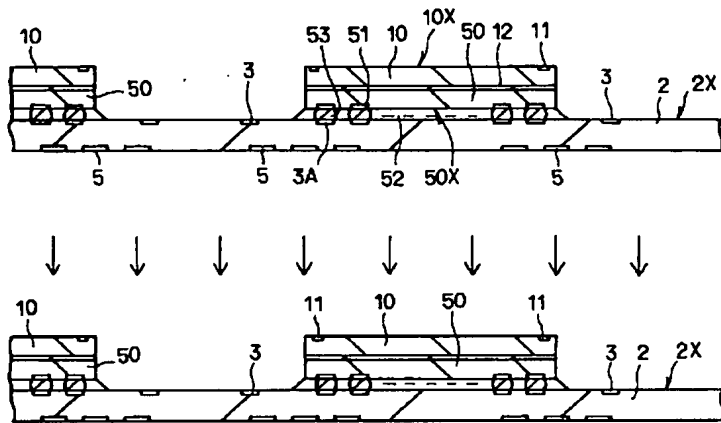
【図 24】

図 24



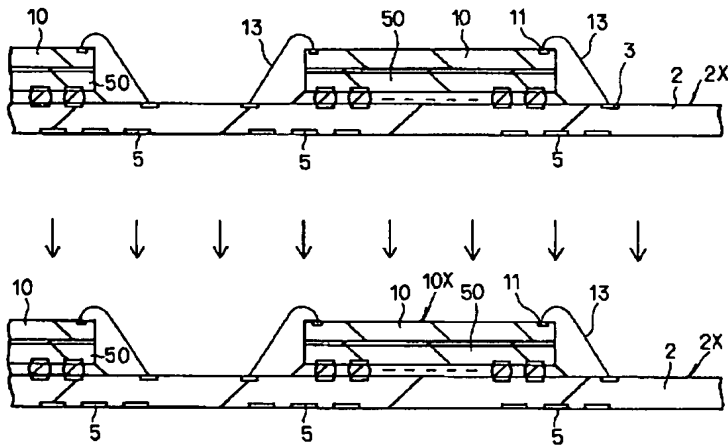
【図 21】

図 21



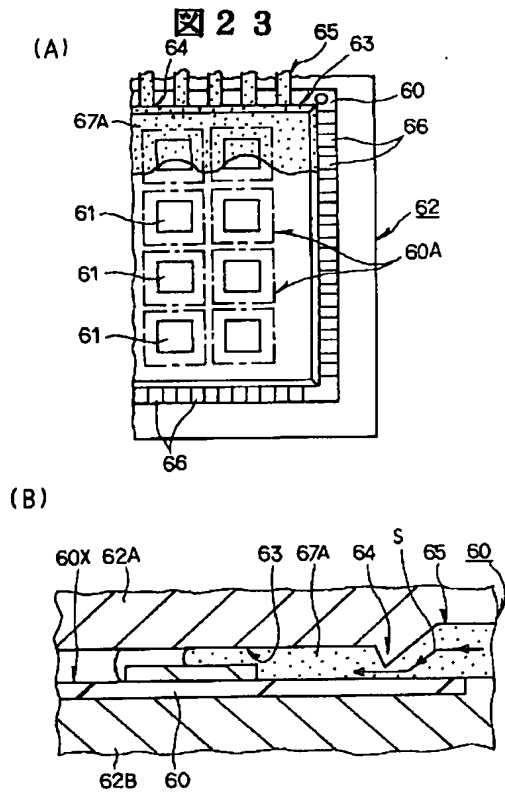
【図 22】

図 22



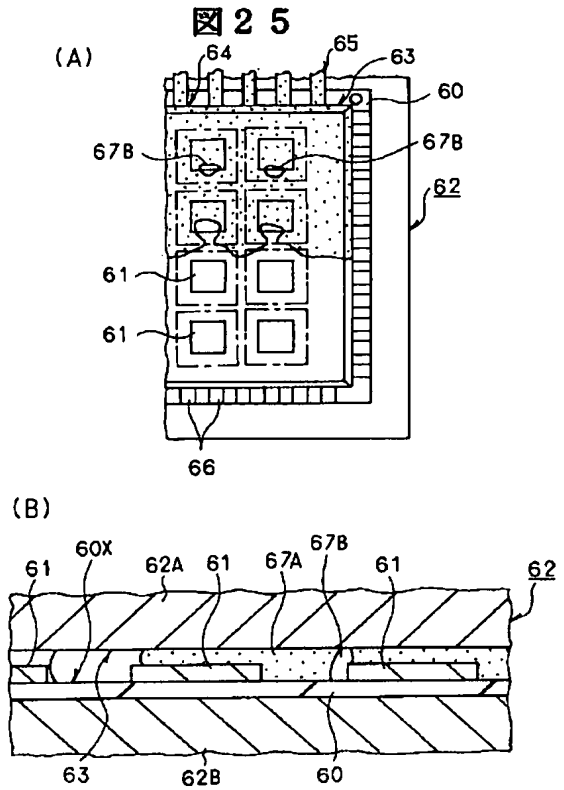
【図 23】

図 23

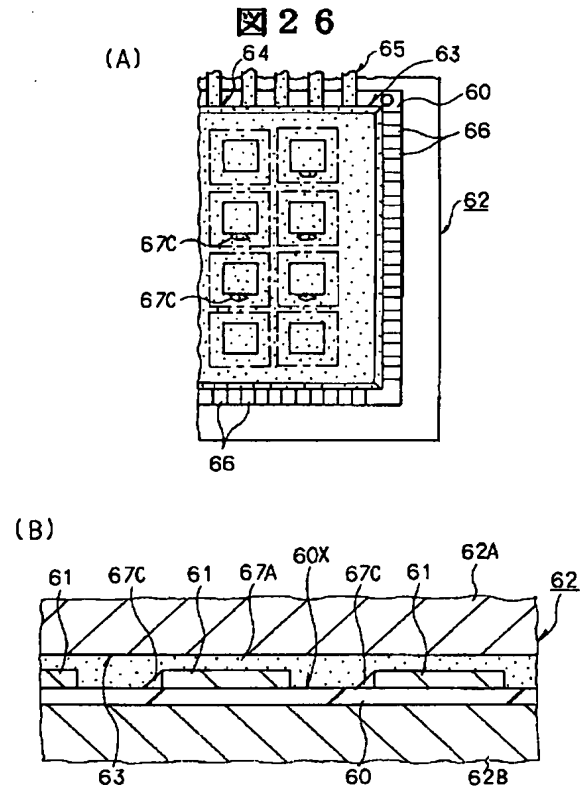


【図 25】

図 25



【図 26】



フロントページの続き

(72)発明者 葛西 紀彦
 北海道亀田郡七飯町字中島145番地 日立
 北海セミコンダクタ株式会社内

Fターム(参考) 5F061 AA01 BA03 CA21 CB02 CB12
 CB13